

Original document

## IMAGE SENSOR

Patent number: JP61295656

Publication date: 1986-12-26

Inventor: WATANABE ZENSAKU; CHIYOMA HITOSHI; NAKAGAWA  
MASAHIRO

Applicant: TOKYO SHIBAURA ELECTRIC CO; TOSHIBA ELECTRONIC DEVICE  
ENG

Classification:

- international: **H01L27/14; H04N1/028; H01L27/14; H04N1/028**; (IPC1-7): H01L27/14;  
H04N1/028

- european:

- Application number: JP19850136991 19850625

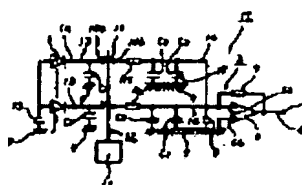
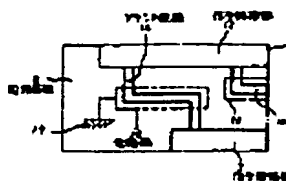
Priority number(s): JP19850136991 19850625

[View INPADOC patent family](#)

[Report a data error here](#)

Abstract of **JP61295656**

**PURPOSE:** To perfectly correct deviations in output signals and to substantially decrease the number of connection points between a photoelectric converting section and a driving circuit section, by arranging a capacity-regulating wiring pattern for correcting any non-uniformity in a connecting wiring pattern formed on an insulating substrate, under or in the vicinity of the photoelectric converting section through an insulating layer. **CONSTITUTION:** A wiring pattern 4 includes a connecting wiring pattern 4a which is designed, similarly to conventional one, such that wires closer to the opposite sides of the pattern have larger lengths, and a capacity-regulating wiring pattern 4b which is designed such that a wire connected to the longer wire of the connecting wiring pattern 4a has a smaller area. Consequently, the sum of the areas of a pair of wire is approximately equal in all the pairs. An integrated circuit 6 is electrically connected to the connecting wiring pattern 4a through a gold or aluminium wire 7. A photoelectric converting section B comprises an insulation layer 10 and a photoelectric conversion element 11 consisting of a discrete electrode 11a, a high-resistance photoconductive film 11b and a transparent conductive film 11c, and is connected to the connecting wiring pattern 4a through a gold or aluminium wire 12.



Data supplied from the *esp@cenet* database - Worldwide

## ⑫ 公開特許公報(A)

昭61-295656

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)12月26日

H 01 L 27/14  
H 04 N 1/0287525-5F  
Z-7334-5C

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 イメージセンサ

⑯ 特 願 昭60-136991

⑰ 出 願 昭60(1985)6月25日

⑱ 発 明 者 渡 辺 善 作 川崎市幸区堀川町72 株式会社東芝堀川町工場内  
⑱ 発 明 者 千 代 間 仁 川崎市幸区堀川町72 株式会社東芝堀川町工場内  
⑱ 発 明 者 中 川 雅 博 川崎市幸区堀川町72 東芝電子デバイスエンジニアリング  
株式会社内  
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地  
⑲ 出 願 人 東芝電子デバイスエン 川崎市幸区堀川町72  
지니어リング株式会社  
⑳ 代 理 人 弁理士 則近 憲佑 外1名

## 明 細 書

## 1. 発明の名称

イメージセンサ

## 2. 特許請求の範囲

(1) 絶縁基板上に形成された複数の光電変換素子を配列してなる光電変換部と、これらの光電変換素子からの出力信号を順次読出す駆動回路部とを有し、前記光電変換部と前記駆動回路部とが、前記絶縁基板上に形成された配線長が少なくとも1本異なる接続用配線パターンにより接続されたイメージセンサにおいて、前記接続用配線パターンの少なくとも1本の配線長を補正する容量調整用配線パターンを前記光電変換部の下部またはその近傍のうち少なくとも一方に絶縁層を介して配置し、かつ各々の前記接続用配線パターンの浮遊容量を実質的に均一にしたことを特徴とするイメージセンサ。

(2) 前記容量調整用配線パターンの少なくとも一部は、前記光電変換素子の一部を構成していることを特徴とする特許請求の範囲第1項記載のイ

メージセンサ。

(3) 前記光電変換素子は、電荷蓄積型の光電変換素子であることを特徴とする特許請求の範囲第1項または第2項記載のイメージセンサ。

(4) 各々の前記接続用配線パターンの浮遊容量を実質的に均一にすることは、前記容量調整用配線パターンの各々の面積が前記接続用配線パターンの各々の長さに比例して小さくすることにより行われることを特徴とする特許請求の範囲第1項または第2項記載のイメージセンサ。

(5) 各々の前記接続用配線パターンの浮遊容量を実質的に均一にすることは、前記容量調整用配線パターンの相互に隣接する配線間容量が、前記容量調整用配線パターンの各々に接続する前記接続用配線パターンの長さに比例して小さくするように前記容量調整用配線パターンの長さまたは配線間隔の少なくとも一方を調整していることを特徴とする特許請求の範囲第1項または第2項記載のイメージセンサ。

(6) 各々の前記接続用配線パターンの浮遊容量

を實質的に均一にすることは、前記容量調整用配線パターン相互に隣接する配線間容量が、前記容量調整用配線パターンの各々に接続する前記接続用配線パターンの各配線長に比例して小さくなるように前記容量調整用パターンの各配線長または配線間隔の少なくとも一方を調整し、かつ前記容量調整用配線パターンの少なくとも一部に一定の対地容量補正手段を配置したことを特徴とする特許請求の範囲第1項または第2項記載のイメージセンサ。

(7) 前記対地容量補正手段は、対地容量補正用の配線パターンであることを特徴とする特許請求の範囲第6項記載のイメージセンサ。

### 3. 発明の詳細な説明

#### 〔発明の技術分野〕

本発明は、光電変換素子を用いて原稿等の画像面上の画像を電気信号に変換するイメージセンサに係り、特に電荷蓄積型の密着型イメージセンサに関する。

#### 〔発明の技術的背景とその問題点〕

となり、1ラインの読取りが終了した後、再びON状態となるまでの時間、光電変換素子Pの発生電荷を素子容量 $C_0$ に蓄積し、その蓄積電荷をスイッチング素子Sのうちの対応するスイッチング素子Sが再度ON状態になったときに読出すのである。そして、この読出し電荷が検出回路を介して読取り出力として出力される。

しかしながら、このような従来のイメージセンサにおいては、上述したように光電変換素子Pと集積回路Iとは絶縁基板上に形成された配線パターンLにより接続されるが、集積回路の実装上これらの配線パターンLは配線長が一定とならず、各々の配線パターンLの持つ配線容量も不均一となるため出力信号にゆがみが生じるという問題がある。

すなわち、配線パターンLは対地容量 $C_1$ と配線間容量 $C_2$ の2つの配線容量を持ち、集積回路I等により発生する残りの容量を $C_3$ 、光電変換素子Pに蓄積される電荷量をQとすると、電圧読取方式の場合、配線パターン端部の光電変換素子の

フアクシミリ等に用いられる画像読取り装置を小型化するために、密着型イメージセンサが使用されている。

この密着型イメージセンサは、画像情報をほぼ1:1の大きさと読取るイメージセンサであつて、特に電荷蓄積型の密着型イメージセンサの信号読取方式は電圧読取方式により行われている。

この種のイメージセンサは、基本的に第8図に示すように構成されている。

すなわち、同図においてPは、素子容量 $C_0$ と光量に応じた電荷量を流すフォトダイオードDからなる電荷蓄積型の光電変換素子であり、通常一列に配列されている。

これらの光電変換素子Pの各一端は電源Bに接続され、他端は実積回路Iのスイッチング素子Sに配線パターンLを介してそれぞれ接続されている。スイッチング素子SはシフトレジスタSRにより順次駆動され、光電変換素子Pに蓄積されている電荷信号が読出される。

すなわち、スイッチング素子Sが順次ON状態

出力信号は次の(1)式で表され、それ以外の部分の光電変換素子の出力信号は次の(2)式で表わされる。

$$Q/(C_0 + C_1 + C_2 + C_3) \dots\dots\dots (1)$$

$$Q/(C_0 + C_1 + 2C_2 + C_3) \dots\dots\dots (2)$$

従つて、配線パターンLが長尺または高密度になると、配線容量( $C_1 + C_2$ )のばらつきが大きくなつて、それにともない出力信号のばらつきが大きくなり、例えば第9図に示すように、マーク、例えば黒マーク1aとこれよりやや淡色のマーク1bをイメージセンサ2により読取る場合、各光電変換素子Pからの出力信号が一定とならず、第10図に示すように、出力にゆがみが生ずるのである。このため、一般に出力信号を"1"と"0"とで読む場合には、しきい値 $S_L$ をとることが行なわれている。しかしながら、例えばカラーセンサ等の場合には、第11図に示すように、2つのしきい値 $S_{L1}$ 、 $S_{L2}$ を必要とするため、出力補正回路を用いて出力信号を一旦、第12図に示すように補正する必要が生じる。

しかしながら、このように補正回路を付加する

ことは、イメージセンサの構成を複雑にし、製品コストを高くするという問題がある。

また、このような出力のばらつきを補正する手段として、第13図に示すように、集積回路1の配線パターンLの配線幅を配線長の長いものほど細くなるように変化させ、対地容量 $C_1$ を調整して、配線容量( $C_1 + C_2$ )のばらつきを均一にする方法も提案されている。なお同図においてTは光電変換素子の接続端子、Wはボンディングワイヤである。

しかしこの方法は通常光電変換素子の配列ピッチが等しくなっていることから配線パターンの対地容量 $C_1$ の補正はできても、浮遊容量のひとつである配線間容量 $C_2$ は隣接配線パターン間の間隔が一定とならないためにその不均一となる問題がある。また、図示していないが光電変換素子Pの素子容量 $C_0$ を変えて、配線長の差によつて生じる配線パターンLに生じる浮遊容量の不均一を補正する方法も本発明者らは考慮してみた。しかし、配線パターンLの浮遊容量 $C_1$ 、 $C_2$ に比較し、素

子容量 $C_0$ は $1 \sim 4 \text{ dots}/\mu\text{m}$ のような低密度のイメージセンサの場合、大きいためその補正値はフォトリソエッチング工程の変動すなわちフォトリソエッチングの条件等が変ることにより大きく変化するため配線パターンの浮遊容量との和も一定化されずイメージセンサの出力電圧の均一化の改善度合が少なく実用に供しないという問題がある。また、 $8 \text{ dots}/\mu\text{m}$ 以上のような高密度イメージセンサについて言えば、配線パターンLの浮遊容量 $C_1$ 、 $C_2$ が素子容量 $C_0$ より大きくなることによりその補正効果は少ないと同時に、逆に光電変換素子の素子容量 $C_0$ を決定する電極の長さ(副走査方向をさす)を大きく変えて $C_0$ を大きくすると副走査方向の読取り位置が各々の光電変換素子間で異なってくるため、その読取精度の面で実用上問題がある。さらに、配線容量の補正に伴い配線パターンが長大なものとなり、イメージセンサが大型化するという問題があつた。

#### 〔発明の目的〕

本発明はこのような従来の難点を解消すべくな

されたもので、生産性が良好で、しかも大型化することなく配線パターン等の容量歪みにより発生する出力信号のばらつきを補正できるイメージセンサを提供することを目的とする。

#### 〔発明の概要〕

上述の目的を達成するため、本発明のイメージセンサの概要を簡潔に述べるならば、絶縁基板上に形成された配線長が少なくとも一部で均一でない接続用配線パターンの不均一を補正する容量調整用配線パターンを光電変換部の下部またはその近傍の少なくとも一方に絶縁層を介して配置したことを特徴とし、これにより各々の配線パターンの浮遊容量を実質的に同一とすることができる。

#### 〔発明の実施例〕

以下この発明の実施例を図面を参照して説明する。

第1図は本発明の一実施例を示す断面図、第2図はその配線パターンを示す部分断面図である。

この実施例のイメージセンサは、駆動回路部Aと光電変換部Bにより構成されている。

駆動回路部Aは、セラミック基板3と、この上に形成されたアルミニウムまたは金等の薄膜よりなる配線パターン4と、この配線パターン4上に導電性エポキシ樹脂5により固着されたアナログスイッチ機能を有する集積回路6とからその主要部分が構成されている。

配線パターン4は、接続用配線パターン4aと容量調整用配線パターン4bとからなっている。この接続用配線パターン4aは従来の配線パターンと同様に両端のものほど配線長が長くなる配線長の不均等な同一線幅の配線パターンからなり、またこの容量調整用配線パターン4bは、これらの接続用配線パターン4aにそれぞれ接続され、かつ配線長の長い接続用配線パターン4aに接続されたものほど面積が小さくなるように形成されて、接続用配線パターン4aと容量調整用配線パターン4bの面積の和がほぼ等しくなるように調整され、接続用配線パターンよりも配線の幅が広い配線パターンから構成されている。

集積回路6は、金あるいはアルミニウムワイヤ

7により接続用配線パターン4aと電気的に接続され、また容量調整用配線パターン4b上には、光電変換部Bの絶縁層10(例えばポリイミド樹脂、ガラス系無機物等)がスピンコートあるいはスクリーン印刷法等により形成され、その上部に膜技術により光電変換部Bが構成されている。なお、集積回路6から接続用配線パターン4aの接続端子にかけて絶縁性樹脂8がボツティングされ、その外周は保護キャップ9で覆われている。

一方、光電変換部Bは、絶縁層10と、この絶縁層10上にクロムまたはアルミ薄膜を用いて形成された個別電極11a、この個別電極11a上に順に積膜された $\alpha$ -Si:H等からなる高抵抗光導電膜11b、 $\text{SnO}_2$ 、ITO膜等の透明導電膜11cからなる光電変換素子11とから構成されており、光電変換素子11の各個別電極11aには金あるいはアルミニウム薄膜の積膜によりボンディングパットが形成され、金あるいはアルミニウムワイヤ12により接続用配線パターン4aに接続されている。

また、11dは光電変換素子Pの個別電極11aに対

同一符号を付して重複する説明を省略する。

この実施例では、個々の光電変換素子に対応する各接続用配線パターン4aをL字状に形成するとともに、これらに接続された容量調整用配線パターン4bを、それらの延長上に点対称となるように形成して、隣接配線間隔の同一な部分の配線長さの和を全配線パターン4を通じて同一長さとし、これによつて各配線パターン4の対地容量 $C_1$ と配線間容量 $C_2$ とをそれぞれほぼ等しくなるように調整している。

第4図はさらに他の実施例の要部を示す断面図である。

この実施例においては、配線パターン形成時にプロセス変動や、絶縁基板表面の仕上り差等によつて生じる対地容量 $C_1$ の均一性を向上さすべく、対地容量補正パターン4dを付加したもので、各々配線パターンの対地容量の変動比率を減少させ配線間容量をほぼ均一に構成したものである。

第5図は第1図に示した本発明の他の実施例を示し、光電変換素子Pの個別電極11aと接続用配

向する透明導電膜11cを導出し電源Eに電気的導通をとるための共通電極である。

さらに、光電変換素子11上には保護ガラス板13が透明絶縁樹脂14により固着され、かつ保護ガラス板13の周囲から保護キャップ9にかけて同一樹脂がボツティングされている。

この実施例のイメージセンサでは、光電変換素子の出力信号は、金あるいはアルミニウムワイヤ12、接続用配線パターン4aおよび金あるいはアルミニウムワイヤ7を介して集積回路6に導通される。

一実施例のイメージセンサでは、配線パターン4を光電変換部Bの下部およびその近傍に延長してその面積が等しくなるようにしたので、全体を大型化することなく配線容量の補正を完全に行なうことができる。なお、配線パターン4は光電変換部Bの下部またはその近傍の一方に延長するだけでも良いことは言うまでもない。

第3図は他の実施例を示す断面図である。なお、以下の説明において、第1図と共通する部分には

線パターン4aとを絶縁層10の一部11a-1にスルホールを設け、スルホールを用いて電気的接続を行なつて構成したイメージセンサの例である。(第1図のものはワイヤボンディング接続である。)

第6図は本発明の他の実施例である。

この実施例のイメージセンサは絶縁層10の光電変換素子11の構成部にスルホールを設けて、容量調整用配線パターン4bの一部を光電変換素子11の個別電極11aとしたもので、やはり配線パターンの浮遊容量を補正は一実施例(第1図に示したもの)と同様に実施し各々の配線容量をほぼ均一に構成したものである。

第7図は第1図の他の実施例で共通電極11dを絶縁層10の上部に構成したものである。

〔発明の効果〕

以上説明したようにこの発明のイメージセンサは、光電変換素子と集積回路とを結ぶ接続用配線パターンにそれぞれ接続させて光電変換部の下部あるいはその近傍に絶縁層を介して容量調整用配線パターンを形成したから大型化することなく、

配線パターン等の容量歪みにより発生する出力信号のばらつきを完全に補正することができる。さらに配線パターンの容量調整用配線パターンの一部を用い光電変換素子の一部を構成したことにより光電変換部と駆動回路部の接続点が大幅に減少し、生産性が向上するとともに信頼性の高いイメージセンサが得られる。

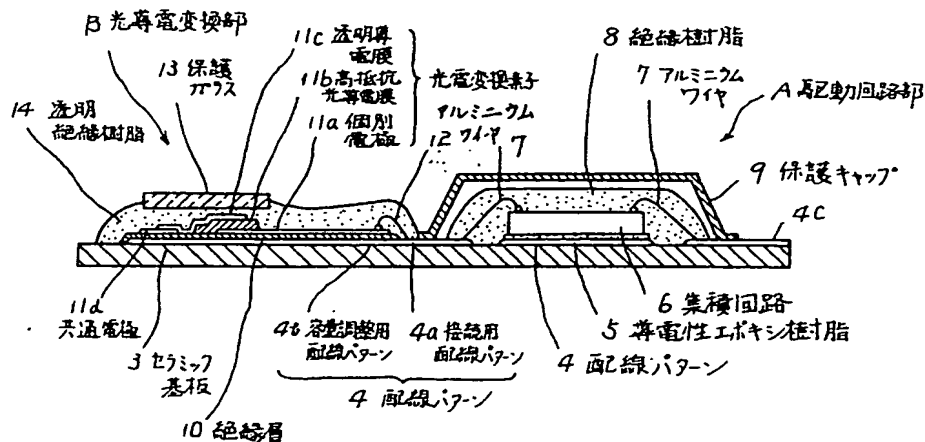
#### 4. 図面の簡単な説明

第1図は本発明のイメージセンサの一実施例を示す断面図、第2図ないし第4図はそれぞれ本発明の他の実施例の要部を示す平面図、第5図は本発明の他の実施例を示す断面図、第6図ないし第7図は本発明の他の実施例を示す断面図、第8図はイメージセンサの等価回路図、第9図ないし第12図は従来イメージセンサにおいて出力信号にバラツキを解消する方法を説明するための模式図、第13図は従来の出力信号のバラツキを解消したイメージセンサの要部を示す平面図である。

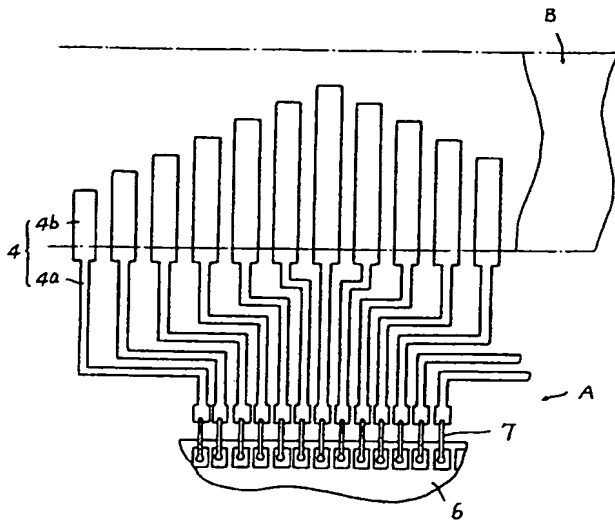
- 3 … 絶縁基板      4 … 配線パターン  
4a … 接続用配線パターン

- 4b … 容量調整用配線パターン  
5 … 導電性エポキシ樹脂    6 … 集積回路  
7, 12 … ワイヤ      8 … 絶縁樹脂  
9 … 保護キャップ    10 … 絶縁層  
11 … 光電変換素子    11a … 個別電極  
11b … 高抵抗光導膜    11c … 透明性導電膜  
13 … 保護ガラス板    A … 駆動回路部  
B … 光電変換部      C … 素子容量  
C<sub>1</sub> … 対地容量      C<sub>2</sub> … 配線間容量  
D … フォトダイオード    B … 電源  
L … 配線パターン      P … 光電変換素子  
S … スイッチ          SR … レフトレシスタ

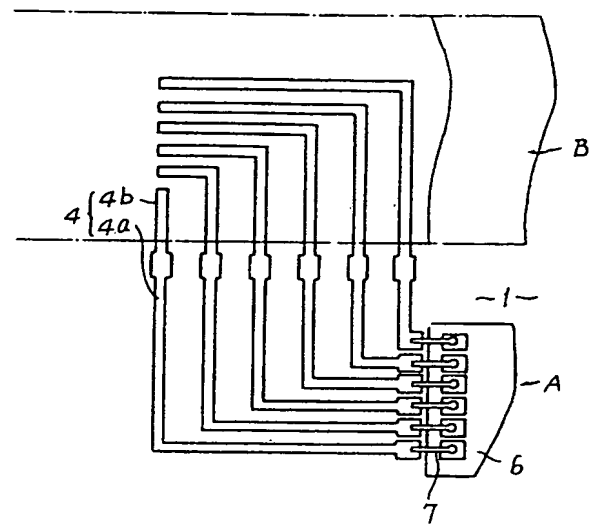
代理人 弁理士 則 近 憲 佑 (ほか1名)



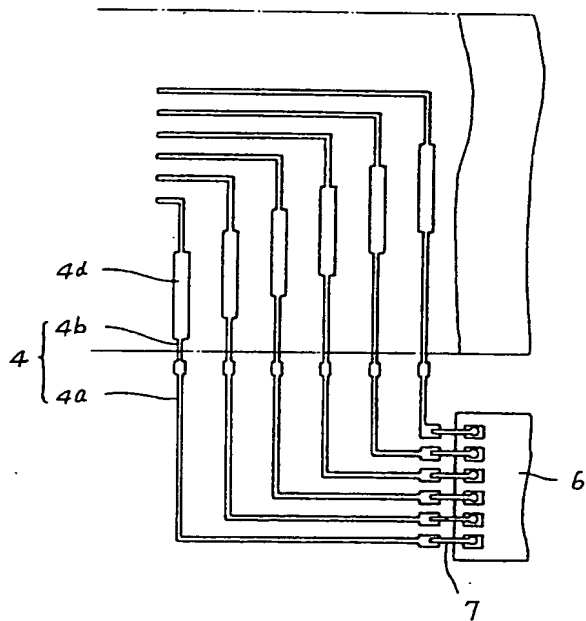
第 1 図



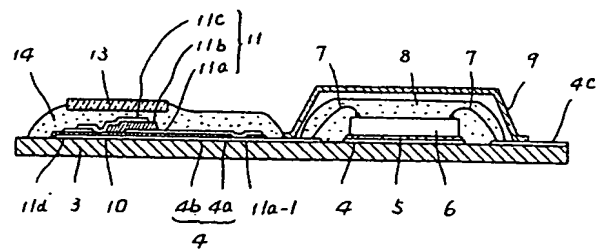
第 2 図



第 3 図

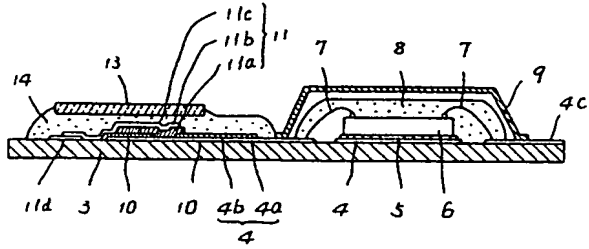


第 4 図

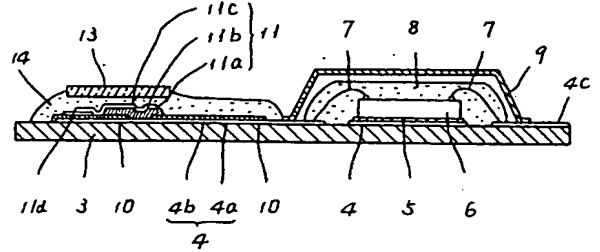


第 5 図

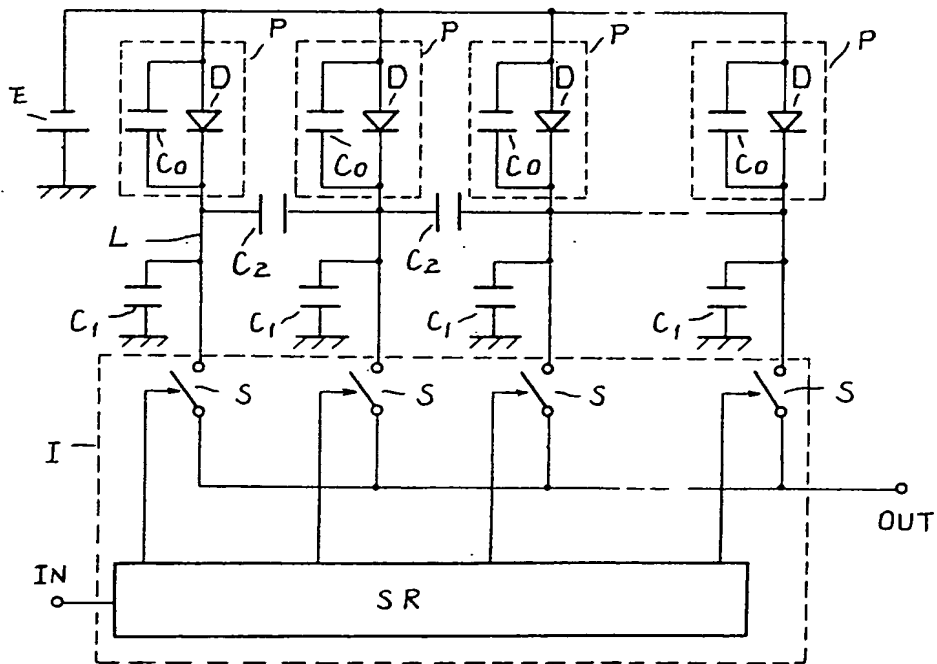




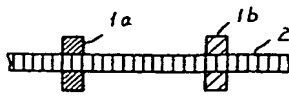
第 6 図



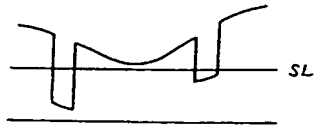
第 7 図



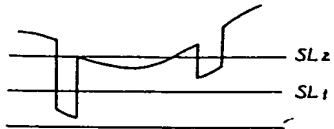
第 8 図



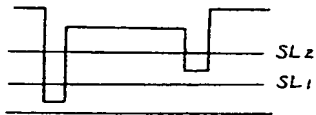
第 9 図



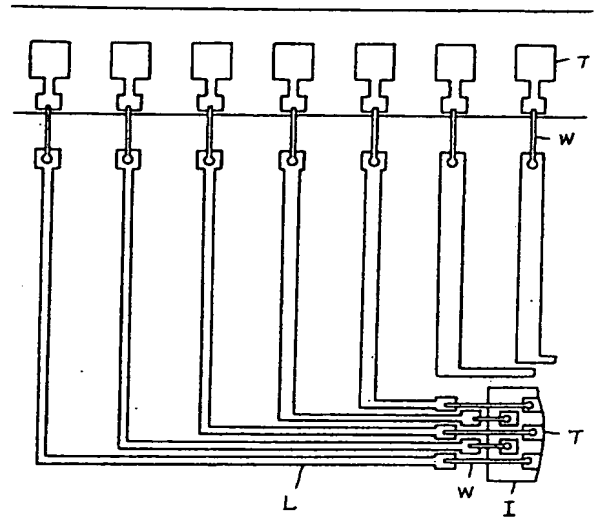
第 10 図



第 11 図



第 12 図



第 13 図